

공개특허10-2001-0019864

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 9  
G06F 1/24

(11) 공개번호 10-2001-0019864  
(43) 공개일자 2001년03월15일

(21) 출원번호 10-1999-0036522  
(22) 출원일자 1999년08월31일  
(71) 출원인 삼성전자 주식회사 원광웅  
경기 수원시 팔달구 대왕3동 416  
(72) 발명자 임희현  
경기도성남시분당구정자동52-11번지201호  
(74) 대리인 임창현  
심사청구: 없음

(54) 마이크로 컨트롤러용 저전압 리셋 회로

요약

본 발명은 마이크로 컨트롤러용 저전압 리셋 회로에 관한 것으로, 상기 마이크로 컨트롤러는 동작/비동작 상태를 나타내는 상태 신호를 출력하고, 상기 저전압 리셋 회로는 상기 상태 신호가 상기 마이크로 컨트롤러의 동작 상태를 나타내는 동안, 외부로부터 인가되는 전압 전압이 기준 전압 이하로 낮아질 때 저전압 검출 신호를 발생하는 저전압 검출 수단과 상기 상태 신호가 비동작 레벨에서 동작 레벨로 전이하고 나서 소정 시간이 흐른 후부터 상기 전압 검출 신호를 받아들여 상기 마이크로 컨트롤러의 리셋 신호로 출력하는 리셋 신호 출력 회로를 포함한다.

대표도

도4

명세서

도면의 간단한 설명

- 도 1은 시간에 따른 마이크로 컨트롤러의 전원 전압 변화를 보여주는 도면;  
도 2는 종래의 마이크로 컨트롤러용 저전압 리셋 회로를 보여주는 도면;  
도 3은 마이크로 컨트롤러가 비동작 상태에서 정지 상태로 전이할 때 저전압 검출 회로의 기준 전압 변화를 보여주는 도면;  
도 4는 본 발명의 바람직한 실시예에 따른 마이크로 컨트롤러용 저전압 리셋 회로의 구성을 보여주는 도면;  
도 5는 도 4에 도시된 리셋 신호 출력 회로의 상세 회로도; 그리고  
도 6은 도 5에 도시된 리셋 신호 출력 회로의 타이밍도이다.

\*도면의 주요 부분에 대한 부호의 설명\*

- 100 : 마이크로 컨트롤러 200 : 저전압 검출 회로  
300 : 리셋 신호 출력 회로 302, 304 : 인버터  
306 : 래치 회로 308 : 앤드 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 마이크로 컨트롤러와 같은 반도체 집적 회로에 관한 것으로, 좀 더 구체적으로는 전원 전압이 소정 레벨 이하로 낮아질 때

반도체 집적 회로를 리셋시키는 회로에 관한 것이다.

휴대용 전자 장치는 제품의 특성상 전원 전압의 변화가 심하여 동작 전압 범위를 벗어나는 전압 상승 또는 전압 하강이 종종 발생한다. 이와 같은 휴대용 전자 장치에 구비되는 마이크로 컨트롤러 유닛(microcontroller unit; MCU)은 전원 전압이 정상 동작 전압 범위를 벗어날 때 오동작할 확률이 매우 높아지게 된다. 그러므로, 휴대용 전자 장치에 구비되는 마이크로 컨트롤러 유닛의 전원 전압 레벨 변화에 따른 오동작 방지는 매우 중요한 문제로 다루어지고 있다.

따라서, 대부분의 마이크로 컨트롤러는 저전압 검출기(low voltage detector)를 구비하여 전원 전압(VDD)이 기준 전압(Vref)보다 낮아질 때 리셋되도록 한다. 도 1을 시간에 따른 마이크로 컨트롤러의 전원 전압 변화를 보여주는 도면이다. 도 1을 참조하면, 전원 전압(VDD)이 기준 전압(Vref)보다 높은 구간(A, C)에서 상기 마이크로 컨트롤러는 정상적으로 동작한다. 전원 전압(VDD)이 기준 전압(Vref)보다 낮은 구간(B)에서 상기 마이크로 컨트롤러는 상기 저전압 검출기에 의해 리셋된다.

도 2는 종래의 마이크로 컨트롤러의 저전압 리셋 회로를 보여주는 도면이다.

도 2를 참조하면, 마이크로 컨트롤러용 저전압 리셋 회로는 저전압 검출 회로(20)와 리셋 신호 출력 회로(30), 그리고 PMOS 트랜지스터(MP1)로 구성된다.

상기 저전압 검출 회로(20)는 전원 전압(VDD)이 기준 전압(Vref) 이하로 낮아지면 저전압 검출 신호(LVD)를 발생한다.

리셋 신호 출력 회로(30)는 상기 상태 신호(STOP)를 받아들여 반전시키는 인버터(34)와 상기 인버터(34)의 출력 신호와 상기 저전압 검출 신호(LVD)를 받아들여 리셋 신호(reset)를 발생하는 앤드 게이트(32)를 포함한다. 상기 상태 신호(STOP)는 상기 마이크로 컨트롤러(10)의 동작/비동작 상태를 나타낸다. 즉, 상기 마이크로 컨트롤러(10)가 동작 상태일 때 상기 상태 신호(STOP)는 로우 레벨(논리 '1')이고 상기 마이크로 컨트롤러(10)가 비동작 상태일 때 상기 상태 신호(STOP)는 하이 레벨이다.

따라서, 저전압 리셋 회로는 상기 마이크로 컨트롤러(10)가 동작 상태인 동안 전원 전압(VDD)이 기준 전압(Vref) 이하로 낮아지면 상기 리셋 신호(reset)를 발생한다.

상기 PMOS 트랜지스터(MP1)는 전원 전압(VDD)과 상기 저전압 검출 회로(20) 사이에 형성된 전류 용량 및 상기 마이크로 컨트롤러(10)로부터 출력되는 상태 신호(STOP)에 의해 제어되는 게이트를 갖는다.

그러므로, 상기 저전압 검출 회로(20)는 상기 마이크로 컨트롤러(10)의 동작 상태 동안에만 상기 전원 전압(VDD)을 공급받아 동작한다. 그러나, 도 3에 도시된 바와 같이, 상기 마이크로 컨트롤러(10)가 비동작 상태에서 정지 상태로 원이하는 순간, 상기 저전압 검출 회로(20)의 기준 전압(Vref)은 전원 전압(VDD) 레벨까지 상승했다가 정상 레벨로 유지된다. 따라서, 상기 기준 전압(Vref)이 전원 전압(VDD) 레벨까지 상승하는 구간(D)에 비정상적인 리셋이 발생할 수 있다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 안정된 동작을 수행하는 마이크로 컨트롤러용 저전압 리셋 회로를 제공하는데 있다.

#### 발명의 구성 및 작용

상술한 바와 같은 본 발명의 목적을 달성하기 위한 본 발명의 특징에 의하면, 마이크로 컨트롤러용 저전압 리셋 회로는: 상기 마이크로 컨트롤러는 동작/비동작 상태를 나타내는 상태 신호를 출력하고, 상기 상태 신호가 상기 마이크로 컨트롤러의 동작 상태를 나타내는 동안, 외부로부터 인가되는 전원 전압이 기준 전압 이하로 낮아질 때 저전압 검출 신호를 발생하는 저전압 검출 수단; 그리고 상기 상태 신호가 비동작 레벨에서 동작 레벨로 전이하고 나서 소정 시간이 흐른 후부터 상기 전원 전압 검출 신호를 받아들여 상기 마이크로 컨트롤러의 리셋 신호로 출력하는 리셋 신호 출력 회로를 포함한다.

바람직한 실시예에 있어서, 상기 마이크로 컨트롤러는, 상기 상태 신호가 비동작 레벨에서 동작 레벨로 전이할 때 카운트 동작을 개시하는 카운터를 포함한다.

바람직한 실시예에 있어서, 상기 리셋 신호 출력 회로는, 상기 상태 신호를 받아들이는 제 1 입력 단자와, 상기 카운터의 출력 신호를 받아들이는 제 2 입력 단자, 그리고 출력 단자를 갖는 SR 플립-플롭; 및 상기 SR 플립-플롭으로부터 출력되는 신호와 상기 저전압 검출 신호를 받아들여 논리 연산하는 논리 회로를 포함한다.

이와 같은 장치에 의해서, 마이크로 컨트롤러용 저전압 리셋 회로에 구비되는 저전압 검출 회로로 전원 전압이 인가되어 검출 동작을 개시할 때 발생할 수 있는 오류를 방지할 수 있다.

(실시예)

이하 본 발명에 따른 실시예를 첨부된 도면 도 4 내지 도 6을 참조하여 상세히 설명한다.

도 4는 본 발명의 바람직한 실시예에 따른 마이크로 컨트롤러용 저전압 리셋 회로의 구성을 보여주는 도면이고, 도 5는 도 4에 도시된 리셋 신호 출력 회로(300)의 상세 회로도이다.

도 4를 참조하면, 마이크로 컨트롤러(100)용 저전압 리셋 회로는 PMOS 트랜지스터(MP1), 저전압 검출 회로(200), 및 리셋 신호 출력 회로(300)를 포함한다.

일반적으로 마이크로 컨트롤러에는 타이머(timer; 미 도시됨)가 구비되어 있다. 상기 타이머는 파워 온 시 되는 리셋에서 해제되어 동작 상태로 복구될 때 카운트 동작을 개시한다.

이 실시예에서, 상기 저전압 리셋 회로는 마이크로 컨트롤러(100)에 구비된 카운터로부터 출력되는 N-비트 신호 가운데 4 번째 비트(BIT4)와 신호를 리셋 지연 신호로 이용한다.

상기 리셋 신호 출력 회로(300)는 도 5에 도시된 바와 같이, 마이크로 컨트롤러(100)의 카운터로부터 출력되는 신호 가운데 네 번째 비트와 신호(BIT4)를 받아들여 반전시키는 인버터(302)와 상기 마이크로 컨트롤러의 동작/비동작 상태를 나타내는 상태 신호(STOP)를 받아들여 반전시키는 인버터(304), 래치 회로(306), 그리고 앤드 게이트(308)를 포함한다.

상기 래치 회로(306)는 SR 플립-플롭(flip-flop)으로 구성되고, 상기 인버터(302)를 통해 반전된 카운트 신호(BIT4)를 받아들이는 제 1 입력 단자(SN)와 상기 인버터(308)를 통해 반전된 상태 신호(STOP)를 받아들이는 제 2 입력 단자(PN), 그리고 출력 단자(Q)를 갖는다. 상기 앤드 게이트(308)는 상기 래치 회로(306)로부터 출력되는 신호와 상기 저전압 검출 회로(200)로부터 출력되는 신호(LVD)를 받아들여 리셋 신호(reset)를 출력한다.

도 6은 도 5에 도시된 리셋 신호 출력 회로의 타이밍도이다.

도 6을 참조하면, 상기 마이크로 컨트롤러(10)가 동작하지 않는 비동작 상태(즉, 상태 신호(STOP)가 하이 레벨)인 동안 외부로부터 리셋 신호가 인가되어 동작 상태(즉, 상태 신호(STOP)가 로우 레벨)로 되면, 상기 마이크로 컨트롤러(10) 내의 카운터는 카운트 동작을 개시한다.

상기 카운터로부터 출력되는 신호 가운데 4 번째 비트에 대응하는 신호(BIT4)가 로우 레벨을 유지하는 동안 상기 래치 회로(306)로부터 출력되는 신호는 로우 레벨을 유지한다. 따라서, 상기 저전압 검출 회로(200)가 전원 전압(VDD)이 기준 전압(Vref)보다 낮음을 검출하여 하이 레벨의 검출 신호(LVD)를 출력하더라도 상기 앤드 게이트(308)로부터 출력되는 신호는 로우 레벨을 유지한다.

상기 카운터로부터 출력되는 신호 가운데 4 번째 비트에 대응하는 신호(BIT4)가 하이 레벨로 전이하면 상기 래치 회로(306)는 하이 레벨의 신호를 출력한다. 상기 카운터로부터 출력되는 신호 가운데 4 번째 비트에 대응하는 신호(BIT4)가 다시 로우 레벨로 전이하더라도 상기 상태 신호(STOP)가 로우 레벨을 유지하는 동안 상기 래치 회로(306)는 하이 레벨의 신호를 계속해서 출력한다.

즉, 상기 인버터(302)와 상기 래치 회로(306)는 상기 저전압 검출 회로(200)가 안정된 상태에서 동작할 때까지 상기 검출 신호(LVD)를 마스크(mask)하기 위한 회로로 동작한다.

예시적인 바람직한 실시예들을 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에선 다양한 변형 예들 및 그 유사한 구성들을 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구 범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

발명의 효과

이상과 같은 본 발명에 의하면, 마이크로 컨트롤러용 저전압 리셋 회로에 구비되는 저전압 검출 회로로 전원 전압이 인가되어 검출 동작을 개시할 때 발생할 수 있는 오류를 방지할 수 있다.

(57) 청구의 범위

청구항 1

마이크로 컨트롤러용 저전압 리셋 회로에 있어서:

상기 마이크로 컨트롤러는 동작/비동작 상태를 나타내는 상태 신호를 출력하고,

상기 상태 신호가 상기 마이크로 컨트롤러의 동작 상태를 나타내는 동안, 외부로부터 인가되는 전원 전압이 기준 전압 이하로 낮아졌

때 저전압 잠송 신호를 발생하는 저전압 잠송 수단; 그리고

상기 상태 신호가 비등각 레벨에서 등각 레벨로 전이하고 나서 소정 시간이 흐른 후부터 상기 전압 잠송 신호를 받아들이 상기 마이  
크로 컨트롤러의 리셋 신호로 출력하는 리셋 신호 출력 회로를 포함하는 것을 특징으로 하는 마이크로 컨트롤러용 저전압 리셋 회로.

청구항2

제 1 항에 있어서,

상기 마이크로 컨트롤러는,

상기 상태 신호가 비등각 레벨에서 등각 레벨로 전이할 때 카운트 동작을 개시하는 카운터를 포함하는 것을 특징으로 하는 마이크로  
컨트롤러용 저전압 리셋 회로,

청구항3

제 2 항에 있어서,

상기 리셋 신호 출력 회로는,

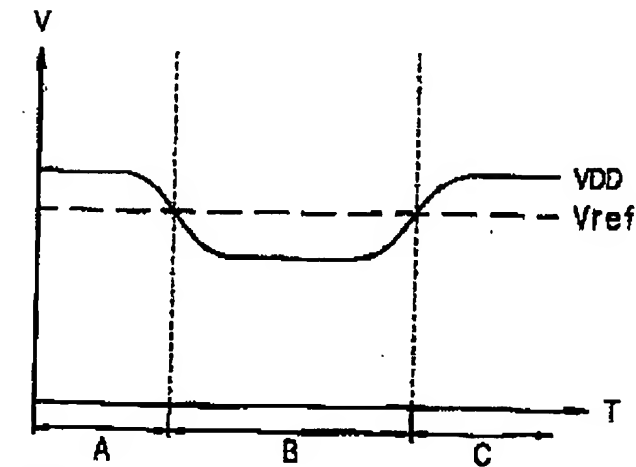
상기 상태 신호를 받아들이는 제 1 입력 단자와, 상기 카운터의 출력 신호를 받아들이는 제 2 입력 단자, 그리고 출력 단자를 갖는  
SR 플립-플롭; 및

상기 SR 플립-플롭으로부터 출력되는 신호와 상기 저전압 잠송 신호를 받아들이 상기 리셋 신호를 출력하는 것을 특징으로  
하는 마이크로 컨트롤러용 저전압 리셋 회로.

도면

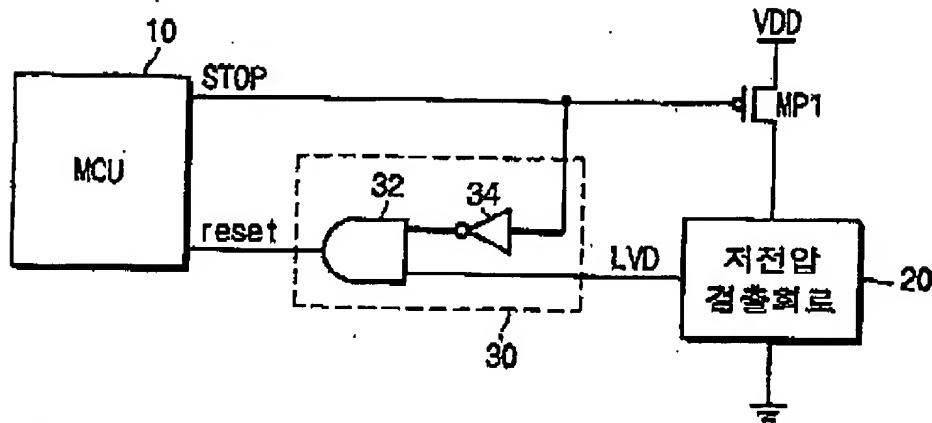
도면1

(종래기술)



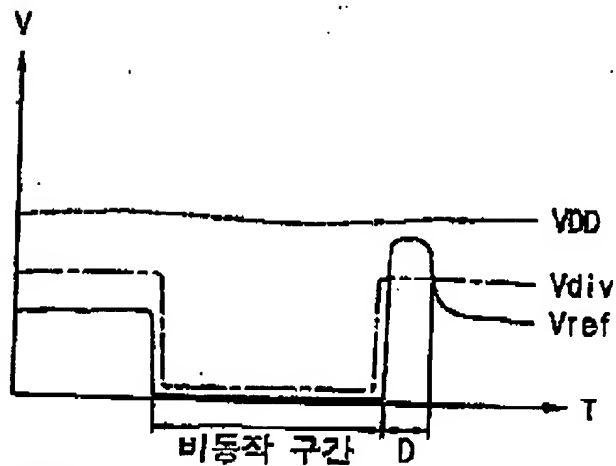
도면2

(종래기술)



도면3

(종래기술)



도면4